

EAST - [Untitled1:1]

File View Edit Tools Window Help

Drafts  
Pending  
Active  
L1: (0) "9-27  
L2: (8) "92719  
L3: (125) "271  
L4: (1) "27192  
L6: (1) "09027  
L7: (1) "11273  
L8: (2) "11273  
Failed  
(6797738) \$271  
Saved  
Favorites  
Tagged (0)  
UDC  
Queue  
Trash

PAT-NO: JP411273341A

DOCUMENT-IDENTIFIER: JP 11273341 A

TITLE: SEMICONDUCTOR DEVICE AND DATA PROCESSING SYSTEM

PUBN-DATE: October 8, 1999

INVENTOR-INFORMATION:

| NAME              | COUNTRY |
|-------------------|---------|
| OGATA, HIROTAKA   | N/A     |
| MORITA, SADAYUKI  | N/A     |
| ZUSHI, HIROFUMI   | N/A     |
| MIYASE, TAKANORI  | N/A     |
| SONODA, TAKAHIRO  | N/A     |
| KAWACHINO, HARUKO | N/A     |
| NAGAI, KIYOSHI    | N/A     |

ASSIGNEE-INFORMATION:

| NAME                        | COUNTRY |
|-----------------------------|---------|
| HITACHI LTD                 | N/A     |
| HITACHI ULSI SYSTEMS CO LTD | N/A     |

APPL-NO: JP10068010

APPL-DATE: March 18, 1998

INT-CL (IPC): G11C011/407, G06F001/32 , G11C011/417 , G11C011/409  
, H03K019/096

ABSTRACT:

PROBLEM TO BE SOLVED: To reduce power consumption of a semiconductor device which has a differential input buffer between itself and an external interface circuit.

SOLUTION: The semiconductor device has a differential input buffer 1 and a latch circuit 2 having its input connected to the output of the differential input buffer. The differential input buffer 1 has a differential input amplifier which inputs a reference potential Vref and an external signal IN differentially, a power switch Q5 which supplies a high-potential side current to the differential amplifier, and a 2nd power switch Q6 which supplies a low-potential side current to the differential input amplifier. A control circuit 3 controls the differential input buffer 1 into alternate active and inactive states according to the state of a synchronizing clock signal QCLKb and also controls the latch circuit 2 into input and latch states synchronously, so a through current is prevented from always passing through the differential input buffer 1, thereby reducing the power consumption of the semiconductor device.

COPYRIGHT: (C) 1999, JPO

BRS form IS&R form Image Text HTML

Start Hits Details HTML

Microsoft Office Shortcut Bar EAST [Untitled1:1] EAST Browser - L8: (2) "1...

#2

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-273341

(43) 公開日 平成11年(1999)10月8日

(51) Int. Cl. °

G11C 11/407

G00F 1/32

G11C 11/417

11/409

H03K 19/096

識別記号

庁内整理番号

F I

G11C 11/34

362

S

H03K 19/006

A

G00F 1/00

332

A

G11C 11/34

305

364 P

技術表示箇所

審査請求 未請求 請求項の数 7 O L (全10頁)

(21) 出願番号

特願平10-68010

(22) 出願日

平成10年(1998)3月18日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233169

株式会社日立超エル・エス・アイ・システムズ

東京都小平市上水本町5丁目22番1号

(72) 発明者 緒方 宏孝

東京都国分寺市東恋ヶ窪三丁目1番地1

日立超エル・エス・アイ・エンジニアリング株式会社内

(74) 代理人 弁理士 玉村 静世

最終頁に続く

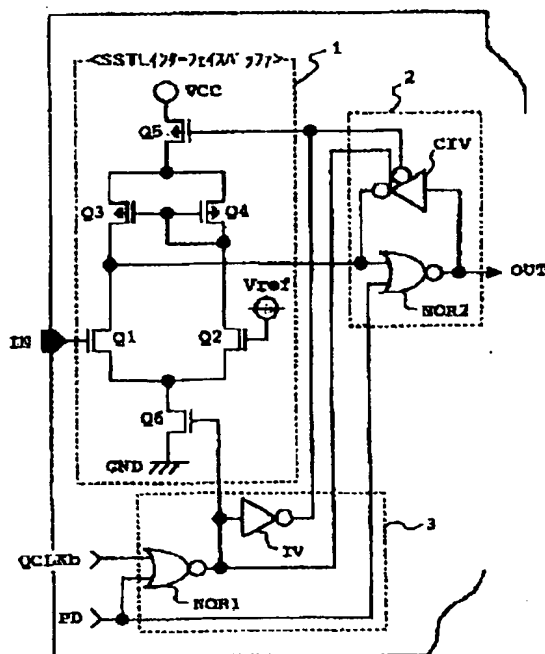
(64) 【発明の名称】 半導体装置及びデータ処理システム

## (57) 【要約】

【課題】 外部とのインタフェース回路に差動入力バッファを有する半導体装置の電力消費を低減する。

【解決手段】 半導体装置は、差動入力バッファ(1)と差動入力バッファの出力に inputs が接続されたラッチ回路(2)とを有する。差動入力バッファは、参照電位(Vref)と外部信号(IN)とを差動入力とする差動入力アンプと、差動入力アンプに高電位側電源を供給するパワースイッチ(Q5)と、差動入力アンプに低電位側電源を供給する第2のパワースイッチ(Q6)とを有する。制御回路(3)は同期クロック信号(QCLKb)の状態に応じて差動入力バッファを交互に活性/非活性に制御し、それに同期してラッチ回路を入力可能/ラッチ状態に制御するから、差動入力バッファで常時貫通電流が流れることを阻止でき、半導体装置の低消費電力に寄与できる。

【図1】



(2)

特開平11-273341

2

## 【特許請求の範囲】

【請求項1】 外部信号の入力インタフェース回路である差動入力バッファと前記差動入力バッファの出力に入力が接続されたラッチ回路とを有する、クロック同期型の半導体装置であって、

前記差動入力バッファは、一方の差動入力を参照電位とし他方の差動入力を外部信号とする差動入力アンプと、前記差動入力アンプに高電位側電源を供給する第1のパワースイッチトランジスタと、前記差動入力アンプに低電位側電源を供給する第2のパワースイッチトランジスタとを含み、

入力動作の同期クロック信号の第1の状態に同期して前記第1及び第2のパワースイッチトランジスタをオン状態に制御して差動入力バッファを活性化すると共に前記ラッチ回路を入力動作可能とし、入力動作の同期クロック信号の第2の状態に同期して前記第1及び第2のパワースイッチトランジスタをオフ状態に制御して差動入力バッファを非活性化すると共に前記ラッチ回路をデータラッチ状態に制御する制御回路を有して成るものであることを特徴とする半導体装置。

【請求項2】 前記制御回路は、パワーダウン信号を入力し、パワーダウン信号の第1の状態に呼応して前記クロック信号の状態に拘わらず前記第1及び第2のパワースイッチトランジスタをオフ状態に制御すると共に前記ラッチ回路の出力を所定の論理値に強制し、パワーダウン信号の第2の状態に呼応して前記前記クロック信号の状態に従った制御を行なうものであることを特徴とする請求項1記載の半導体装置。

【請求項3】 外部信号の入力インタフェース回路である差動入力バッファと前記差動入力バッファの出力に入力が接続されたラッチ回路とを有する、クロック同期型の半導体装置であって、

前記差動入力バッファは、一方の差動入力を参照電位とし他方の差動入力を外部信号とする差動入力アンプと、前記差動入力アンプに電源を供給するパワースイッチトランジスタとを含み、

前記ラッチ回路の入力端子と前記差動入力バッファの出力端子との間に配置されたトランスファゲートと、入力動作の同期クロック信号の第1の状態に同期して前記パワースイッチトランジスタをオン状態に制御して差動入力バッファを活性化すると共に前記トランスファゲートをオン状態とし前記ラッチ回路を入力動作可能とし、入力動作の同期クロック信号の第2の状態に同期して前記パワースイッチトランジスタをオフ状態に制御して差動入力バッファを非活性化すると共に前記トランスファゲートをオフ状態とし前記ラッチ回路をデータラッチ状態に制御する制御回路と、を有して成るものであることを特徴とする半導体装置。

【請求項4】 前記制御回路は、パワーダウン信号を入力し、パワーダウン信号の第1の状態に呼応して前記ク

ロック信号の状態に拘わらず前記パワースイッチトランジスタ及びトランスファゲートをオフ状態に制御すると共に前記ラッチ回路の出力を所定の論理値に強制し、パワーダウン信号の第2の状態に呼応して前記前記クロック信号の状態に従った制御を行なうものであることを特徴とする請求項3記載の半導体装置。

【請求項5】 前記差動入力バッファの出力端子と前記トランスファゲートとの間を前記クロック信号の第2の状態に同期してプリチャージするプリチャージトランジスタを更に含んで成るものであることを特徴とする請求項4記載の半導体装置。

【請求項6】 夫々前記差動入力バッファを有するアドレス入力バッファ、データ入力バッファ、制御信号入力バッファを有し、チップ選択信号によってチップ選択された状態で外部からコマンドを入力し、入力したコマンドを解釈して、メモリセルに対するメモリ動作を行なうものであることを特徴とする請求項1乃至5の何れか1項記載の半導体装置。

【請求項7】 請求項6記載の半導体装置と、前記半導体装置にコマンドを供給するアクセス制御回路とを実装基板上に搭載して成るものであることを特徴とするデータ処理システム。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、外部とのインタフェース回路に差動入力バッファを有する半導体装置に係り、特に差動入力バッファの電力消費を低減する技術に関し、例えば、SDRAM（シンクロナス・ダイナミック・ランダム・アクセス・メモリ）に適用して有効な技術に関するものである。

## 【0002】

【従来の技術】 メモリモジュール向けの小信号振幅インタフェースとしてSSTL（Stub Series Terminated Transceiver Logic）がある。このインタフェース仕様には代表される小信号振幅インタフェースを半導体装置で実現する場合、外部とのインタフェース回路に差動入力バッファを採用することができる。例えば、SSTLインタフェースでは、 $V_{ref} (= V_{cc} \times 0.45)$ を参照電位とし、半導体装置の外部入力初段に、カレントミラー型の差動アンプを設け、入力信号を高速にCMOSレベルに変換し、後段にて入力データをラッチ回路にラッチするように構成されている。

【0003】 尚、SSTLインタフェース仕様を有する半導体装置について記載された文献の例として、H. 8 EIAJ ED-5512、3.3V用スタブ直列終端型論理標準機能仕様がある。

## 【0004】

【発明が解決しようとする課題】 しかしながら、外部インタフェース仕様前記SSTLインタフェース仕様が採用された半導体装置において、外部との信号インタフ

(3)

特開平11-273341

3

4

エース回路の全てが入力初段バッファに前記カレントミラー型差動アンプを有し、それらは常に入力動作可能にされていなければならない。前記カレントミラー型差動アンプを動作可能に維持するために常に動作電流を流しつづけると、それによって半導体装置、更にはシステム全体の電力消費量が大きくなり過ぎることが本発明者によって見出された。

【0005】本発明の目的は、外部とのインタフェース回路に差動入力バッファを有する半導体装置の電力消費を低減することにある。

【0006】本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【0007】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0008】〔1〕半導体装置は、外部信号の入力インタフェース回路である差動入力バッファ(1)と前記差動入力バッファの出力に inputs が接続されたラッチ回路(2)とを有し、クロック同期動作する。前記差動入力バッファは、一方の差動入力を参照電位(Vref)とし他方の差動入力を外部信号(IN)とする差動入力アンプと、前記差動入力アンプに高電位側電源を供給する第1のパワースイッチトランジスタ(Q5)と、前記差動入力アンプに低電位側電源を供給する第2のパワースイッチトランジスタ(Q6)とを有する。差動入力バッファ及びラッチ回路を制御する制御回路(3)は、入力動作の同期クロック信号(QCLKb)の第1の状態に同期して前記第1及び第2のパワースイッチトランジスタをオン状態に制御して差動入力バッファを活性化すると共に前記ラッチ回路を入力動作可能とし、入力動作の同期クロック信号の第2の状態に同期して前記第1及び第2のパワースイッチトランジスタをオフ状態に制御して差動入力バッファを非活性化すると共に前記ラッチ回路をデータラッチ状態に制御する。

【0009】上記により、入力動作の同期クロック信号の状態に応じて差動入力バッファを交互に活性、非活性に制御できるから、これによって、差動入力バッファに流れる貫通電流を少なくすることができる。

【0010】また、差動入力バッファは高電位側及び低電位側の双方の電源供給系にパワースイッチを有し、当該バッファの活性/非活性化制御では、双方のパワースイッチを並列的にスイッチ動作させるから、差動入力バッファが非活性化されたとき当該バッファの出力の不所望な反転や大きな変動などを最小限に抑えることができる。したがって、ラッチ回路のラッチ動作に対して差動入力バッファの非活性化タイミングを遅延させることを要せず、ラッチ回路のラッチタイミングと差動入力バッファの非活性化タイミングとの制御が簡単になり、しか

も差動入力バッファの動作期間を極力短くでき低消費電力化の観点からも優れている。

【0011】前記制御回路は、パワードアウン信号(PD)を入力し、パワードアウン信号の第1の状態に呼応して前記クロック信号の状態に拘わらず前記第1及び第2のパワースイッチトランジスタをオフ状態に制御すると共に前記ラッチ回路の出力を所定の論理値に強制し、パワードアウン信号の第2の状態に呼応して前記前記クロック信号の状態に従った制御を行なうことができる。

10 【0012】〔2〕上記とは別の観点による発明は、差動入力バッファとラッチ回路との間にトランスファゲート(4)を配置し、ラッチタイミングに同期してトランスファゲートを閉じ、差動入力バッファを非活性化するときその出力を強制的にラッチ回路の入力から分離させる。これにより、差動入力バッファの非活性化時にラッチ回路が誤ったデータをラッチする虞を確実に排除することができる。但し、トランジスタ数は第1の観点による発明よりも若干増えることが予想される。

20 【0013】前記制御回路は、パワードアウン信号を入力し、パワードアウン信号の第1の状態に呼応して前記クロック信号の状態に拘わらず前記パワースイッチトランジスタ及びトランスファゲートをオフ状態に制御すると共に前記ラッチ回路の出力を所定の論理値に強制し、パワードアウン信号の第2の状態に呼応して前記前記クロック信号の状態に従った制御を行なうことができる。

30 【0014】前記差動入力バッファの出力端子と前記トランスファゲートとの間を、前記クロック信号の第2の状態に同期してプリチャージするプリチャージトランジスタ(Q9)を設けることにより、差動入力トランジスタが活性化された時、その差動増幅動作の高速性を保証することができる。

40 【0015】〔3〕半導体装置は、前記夫々前記差動入力バッファを有するアドレス入力バッファ(20、21)、データ入力バッファ(16)、制御信号入力バッファ(28)を有し、チップ選択信号(Csb)によってチップ選択された状態で外部からコマンドを入力し、入力したコマンドを解説して、メモリセル(MC)に対するメモリ動作を行なう、SDRAM(5)などとして実現することができる。データ処理システムは、そのような半導体装置と、前記半導体装置にコマンドを供給するアクセス制御回路(111、113)とを実装基板に搭載して構成することができる。上記より低消費電力化された半導体装置を用いるから、データ処理システム全体として電力消費量を低減することができる。

【0016】

50 【発明の実施の形態】図1には本発明に係る半導体装置の一例が示される。同図には一つの差動入力バッファを中心とした回路部分が代表的に示されている。図1に示される半導体装置は、単結晶シリコンのような1個の半導体基板に、例えば公知のCMOS集積回路製造技術によ

(4)

特開平11-273341

6

って形成され、クロック信号に同期動作される。

【0017】図1において、1は差動入力バッファ、2はラッチ回路、3は制御回路を示す。前記差動入力バッファ1は、外部信号の入力インタフェース回路である。INが外部入力信号を意味する。特に制限されないが、差動入力バッファ1はSSTLインタフェース仕様を満足するSSTLインタフェースバッファとされる。図1では入力保護回路等は図示を省略してある。

【0018】前記差動入力バッファ1は、一対の差動入力MOSトランジスタQ1、Q2と、MOSトランジスタQ3、Q4によるカレントミラー負荷とによって構成された差動入力アンプを有する。差動入力トランジスタQ2は参照電位Vrefを入力し、差動入力トランジスタQ1は外部入力信号INをゲートに受ける。MOSトランジスタQ3、Q4のコモンソースには、高電位側電源VCCを供給するpチャンネル型の第1のプワースイッチMOSトランジスタQ5が設けられ、MOSトランジスタQ1、Q2のコモンソースには、低電位側電源GNDを供給するnチャンネル型の第2のプワースイッチMOSトランジスタQ6が設けられている。

【0019】前記ラッチ回路2は、特に制限されないが、ノアゲートNOR2とクロックドインバータCIVとが逆並列接続されて構成される。OUTはラッチ回路2の出力信号である。

【0020】前記制御回路3は、ノアゲートNOR1とインバータIVを有し、入力動作のクロック信号QCLKbとプワードアウン信号PDとに基づいて、差動入力バッファ1及びラッチ回路2の動作を制御する。ノアゲートNOR1はタイミングクロック信号QCLKbとプワードアウン信号PDを入力する。プワードアウン信号PDは、ハイレベルによってプワードアウンを指示する。タイミングクロック信号QCLKbは図2に例示されるように半導体装置の動作サイクル毎に一定期間ローレベルにされる、ワンショットパルスのようなクロック信号とされる。ノアゲートNOR1の出力はMOSトランジスタQ6のゲートに供給され、また、インバータIVを介してMOSトランジスタQ5のゲートに供給され、これにより、プワースイッチMOSトランジスタQ5、Q6は、プワードアウン信号PDがローレベルであることを条件に、タイミングクロック信号QCLKbのローレベル期間にオン状態にされ、ハイレベル期間にオフ状態にされる。また、ノアゲートNOR1とインバータIVの出力はラッチ回路のクロックドインバータCIVを活性/非活性制御し、プワードアウン信号PDがローレベルであることを条件に、タイミングクロック信号QCLKbのローレベル期間にラッチ回路2を入力動作可能とし、ハイレベル期間にラッチ状態に制御する。このタイミングは図2に例示されている通りである。図2においてクロック信号CLKは前記クロック信号QCLKbを生成するための動作基準クロック信号である。

6

【0021】前記プワードアウン信号PDがハイレベルのときは、前記タイミングクロック信号QCLKbの状態に拘わらず前記プワースイッチMOSトランジスタQ5、Q6はオフ状態に制御され、前記ラッチ回路2の出力はローレベルに強制される。

【0022】上記構成により、入力動作のタイミングクロック信号QCLKbの状態に応じて差動入力バッファ1を交互に活性、非活性に制御できるから、差動入力バッファ1で消費される貫通電流を少なくすることができる。

【0023】また、差動入力バッファは高電位側及び低電位側の双方の電源供給系にプワースイッチMOSトランジスタQ5、Q6を有し、当該バッファの活性、非活性化制御では、双方のプワースイッチMOSトランジスタQ5、Q6を並列的にスイッチ動作させるから、差動入力バッファ1が非活性化されたとき当該バッファ1の出力が不所望に反転したり変動したりする事態を最小限に抑えることができる。したがって、ラッチ回路2のラッチ動作に対して差動入力バッファ1の非活性化タイミングを遅延させることを要しないから、ラッチ回路のラッチタイミングと差動入力バッファの非活性化タイミングとの制御が簡単になり、しかも差動入力バッファの動作期間を極力短くでき低消費電力化の観点からも優れている。

【0024】図3には本発明に係る半導体装置の別の例が示される。同図には一つの差動入力バッファを中心とした回路部分が代表的に示されている。図3に示される半導体装置は、単結晶シリコンのような1個の半導体基板に、例えば公知のCMOS集積回路製造技術によって形成され、クロック信号に同期動作される。

【0025】図3において、1は差動入力バッファ、2はラッチ回路、3は制御回路を示す。前記差動入力バッファ1は外部信号の入力インタフェース回路である。INが外部入力信号を意味する。特に制限されないが、差動入力バッファ1はSSTLインタフェース仕様を満足するSSTLインタフェースバッファとされる。図3では入力保護回路等は図示を省略してある。

【0026】図1との相違点は、差動入力バッファ1のプワースイッチMOSトランジスタが低電位側のQ6だけにされたこと、差動入力バッファ1とラッチ回路2との間にpチャンネル型MOSトランジスタQ7とnチャンネル型MOSトランジスタQ8とから構成されるCMOSトランスファゲート4が設けられたこと、そして、差動入力バッファ1の出力端子にpチャンネル型のブリチャージMOSトランジスタQ9が設けられたことである。制御回路3は、ノアゲートNOR1の出力によってプワースイッチMOSトランジスタQ6をスイッチ制御する。CMOSトランスファゲート4は、ノアゲートNOR1の出力とインバータIVの出力によってスイッチ制御され、ラッチ回路2によるラッチタイミングに同

(5)

特開平11 273341

7

期して閉じられ、差動入力バッファ1を非活性化するときその出力を強制的にラッチ回路2の入力から分離させる。これにより、差動入力バッファ1の非活性化時にラッチ回路2が誤ったデータをラッチする虞を確実に排除することができる。また、プリチャージMOSトランジスタQ9はラッチ回路2によるラッチタイミング(差動入力バッファの非活性期間)に差動入力バッファ1の出力端子を電源電圧VCCに向けてプリチャージする。これにより、差動入力バッファ1が活性化された時、その差動増幅動作の高速性を保証することができる。

【0027】尚、図3の構成は図1の構成に比べてトランジスタ数は若干増えている。パワーダウン信号PDによるパワーダウン制御は図1と同様である。前記CMOSトランスファゲート4はパワーダウン時はカットオフされる。

【0028】図4には本発明に係る半導体装置の一例であるSDRAMのブロック図が示される。同図に示されるSDRAM5は、特に制限されないが、公知の半導体集積回路製造技術によって単結晶シリコンのような一つの半導体基板上に形成される。

【0029】前記図1乃至図3で説明した差動入力バッファ1、ラッチ回路2及び制御回路3等を用いる入力回路は、図4に示されるカラムアドレスバッファ20、ロウアドレスバッファ21、制御信号入力バッファ28及びデータ入力バッファ16に夫々適用されている。前記タイミングクロック信号QCLKb、パワーダウン信号PDはSDRAM5の動作に従ってコントローラ25から出力される。

【0030】図4に示されるSDRAM5は、バンクAを構成するメモリアレイ10AとバンクBを構成するメモリアレイ10Bを備える。夫々のメモリアレイ10A、10Bは、マトリクス配置されたダイナミック型のメモリセルMCを備え、図に従えば、同一列に配置されたメモリセルMCの選択端子は列毎のワード線WLに結合され、同一行に配置されたメモリセルのデータ入出力端子は行毎に相補データ線BL、BLbに結合される。同図にはワード線と相補データ線は一部だけが代表的に示されているが、実際にはマトリクス状に多数配置されている。

【0031】上記メモリアレイ10Aのワード線WLはロウデコード11Aによるロウアドレス信号のデコード結果に従って選ばれた1本がワードドライバ12Aによって選択レベルに駆動される。

【0032】メモリアレイ10Aの相補データ線はセンスアンプ及びカラム選択回路13Aに結合される。センスアンプ及びカラム選択回路13Aにおけるセンスアンプは、メモリセルMCからのデータ読出しによって夫々の相補データ線に現れる微小電位差を検出して増幅する増幅回路である。それにおけるカラムスイッチ回路は、相補データ線を各別に選択して相補共通データ線14に

8

導通させるためのスイッチ回路である。カラムスイッチ回路はカラムデコード15Aによるカラムアドレス信号のデコード結果に従って選択動作される。メモリアレイ10B側にも同様にロウデコード11B、ワードドライバ12B、センスアンプ及びカラム選択回路13B、そしてカラムデコード15Bが設けられている。上記相補共通データ線14はデータ入力バッファ16の出力端子及びデータ出力バッファ17の入力端子に接続される。データ入力バッファ16の入力端子及びデータ出力バッファ17の出力端子は16ビットのデータ入出力端子I/O0~I/O15に接続される。

【0033】アドレス入力端子A0~A9から供給されるロウアドレス信号とカラムアドレス信号はカラムアドレスバッファ20とロウアドレスバッファ21にアドレスマルチプレクス形式で取り込まれる。供給されたアドレス信号は夫々のバッファが保持する。ロウアドレスバッファ21は、リフレッシュ動作モードではリフレッシュカウンタ22から出力されるリフレッシュアドレス信号をロウアドレス信号として取り込む。カラムアドレスバッファ20の出力はカラムアドレスカウンタ23のプリセットデータとして供給され、カラムアドレスカウンタ23は後述のコマンドなどで指定される動作モードに応じて、上記プリセットデータとしてのカラムアドレス信号、又はそのカラムアドレス信号を順次インクリメントした値を、カラムデコード15A、15Bに向けて出力する。

【0034】コントローラ25は、特に制限されないが、外部制御信号として、クロック信号CLK、クロックイネーブル信号CKE、チップセレクト信号CSb、カラムアドレスストロブ信号CASb、ロウアドレスストロブ信号RASb、及びライトイネーブル信号WEb、及びデータイネーブル信号DQKL、DQMUが入力される。更に、コントローラ25には図示を省略する信号経路を介してアドレス入力端子A0~A9から制御データが供給される。コントローラ25は、それら信号のレベルや変化のタイミングなどに基づいてSDRAMの動作モード及び上記回路ブロックの動作を制御するための内部タイミング信号を形成するもので、そのためのコントロールロジック(図示せず)とモードレジスタ26を備える。

【0035】クロック信号CLKはSDRAM5のマスタクロックとされ、その他の外部入力信号は当該クロック信号CLKの立ち上がりエッジに同期して有効とされる。

【0036】チップセレクト信号CSbはそのローレベルによってコマンド入力サイクルの開始を指示する。チップセレクト信号がハイレベルのとき(チップ非選択状態)その他の入力には意味を持たない。但し、後述するメモリバンクの選択状態やバースト動作などの内部動作はチップ非選択状態への変化によって影響されない。

(6)

特開平11-273341

9

【0037】RASb, CASb, WEbの各信号は通常のDRAMにおける対応信号とは機能が相違され、後述するコマンドサイクルを定義するときに有意の信号とされる。

【0038】クロックイネーブル信号CKEは次のクロック信号の有効性を指示する信号であり、当該信号CKEがハイレベルであれば次のクロック信号CLKの立ち上がりエッジが有効とされ、ローレベルのときは無効とされる。パワーダウンモードとする場合にはクロックイネーブル信号CKEはローレベルとされる。

【0039】前記データイネーブル信号DQML, DQMUは、例えばリードモードにおいてデータ出力バッファ17に対するアウトプットイネーブルの制御を行う。その信号DQML, DQMUがハイレベルのとき、データ出力バッファ17は端子I/O0~I/O15の全てを高出力インピーダンス状態にする。

【0040】上記ロウアドレス信号は、クロック信号CLKの立ち上がりエッジに同期する後述のロウアドレスストロブ・バンクアクティブコマンドサイクルにおけるA0~A8のレベルによって定義される。

【0041】A9からの入力は、上記ロウアドレスストロブ・バンクアクティブコマンドサイクルにおいてバンク選択信号とみなされる。即ち、A9の入力がローレベルの時はメモリバンクAが選択され、ハイレベルの時はメモリバンクBが選択される。メモリバンクの選択制御は、特に制限されないが、選択メモリバンク側のロウデコードのみの活性化、非選択メモリバンク側のカラムスイッチ回路の全非選択、選択メモリバンク側のみのデータ入力バッファ16及びデータ出力バッファ17への接続などの処理によって行うことができる。

【0042】プリチャージコマンドサイクルにおけるA8の入力は相補データ線などに対するプリチャージ動作の態様を指示し、そのハイレベルはプリチャージの対象が双方のメモリバンクであることを指示し、そのローレベルは、A9で指示されている一方のメモリバンクがプリチャージ対象であることを指示する。

【0043】上記カラムアドレス信号は、クロック信号CLKの立ち上がりエッジに同期するリード又はライトコマンド(後述のカラムアドレス・リードコマンド、カラムアドレス・ライトコマンド)サイクルにおけるA0~A7のレベルによって定義される。そして、この様にして定義されたカラムアドレスはバーストアクセスのスタートアドレスとされる。

【0044】次に、SDRAM5のコマンドを簡単に説明する。〔1〕モードレジスタセットコマンドは、上記モードレジスタ26をセットするためのコマンドである。このコマンドは、CSb, RASb, CASb, WEb=ローレベルによって当該コマンドが指定され、セットすべきデータ(レジスタセットデータ)はA0~A9を介して与えられる(A0~A9がコントローラ21

10

2へ伝達される経路は図示を省略してある)。レジスタセットデータは、特に制限されないが、バーストレンジス、CASレイテンシー、ライトモードなどとされる。

〔2〕ロウアドレスストロブ・バンクアクティブコマンドは、ロウアドレスストロブの指示とA9によるメモリバンクの選択を有効にするコマンドであり、CSb, RASb=ローレベル、CASb, WEb=ハイレベルによって指示され、このときA0~A8に供給されるアドレスがロウアドレス信号として取り込まれ、A9に供給される信号がメモリバンクの選択信号として取り込まれる。取り込動作は上述のようにクロック信号CLKの立ち上がりエッジに同期して行われる。〔3〕カラムアドレス・リードコマンドは、バーストリード動作を開始するために必要なコマンドであると共に、カラムアドレスストロブの指示を与えるコマンドであり、CSb, CASb, =ローレベル、RASb, WEb=ハイレベルによって指示され、このときA0~A7に供給されるアドレスがカラムアドレス信号として取り込まれる。これによって取り込まれたカラムアドレス信号はバーストスタートアドレスとしてカラムアドレスカウンタ23に供給される。これによって指示されたバーストリード動作においては、その前にロウアドレスストロブ・バンクアクティブコマンドサイクルでメモリバンクとそれにおけるワード線の選択が行われており、当該選択ワード線のメモセルが、クロック信号CLKに同期してカラムアドレスカウンタ23から出力されるアドレス信号に従って順次選択されて、データが連続的に読出される。連続的に読出されるデータ数は上記バーストレンジスによって指定された個数とされる。また、データ出力バッファ17からのデータ読出し開始は上記CASレイテンシーで規定されるクロック信号CLKのサイクル数を待つて行われる。その他に、カラムアドレス・ライトコマンド、プリチャージコマンド、オートリフレッシュコマンド等があるが、ここではその説明を省略する。

【0045】図5にはSDRAM5を用いたデータ処理システムの一例であるコンピュータシステムのブロック図が示される。このコンピュータシステムは、プロセッサボード110と周辺回路によって構成される。プロセッサボード110は、マイクロプロセッサ111を中心に、当該マイクロプロセッサ111が結合されたプロセッサバス112に、代表的に示されたメモリコントローラ113及びPCI(Peripheral Component Interconnect)バスコントローラ114が結合される。メモリコントローラ114には、マイクロプロセッサ111のワーク領域若しくは一次記憶領域とされるメインメモリとしてのSDRAM5が結合されている。PCIバスコントローラ114は低速の周辺回路をPCIバス110を介してプロセッサバス112にインタフェースするブリッジ回路として機能される。PCIバス110には、特に制限されないが、ディスプレイコントローラ117、

10

20

30

40

50

(7)

特開平11-273341

11

12

IDE (Integrated Device Electronics) インタフェースコントローラ118、SCSI (Small Computer System Interface) インタフェースコントローラ119及びその他のインタフェースコントローラ120が結合されている。前記ディスプレイコントローラ117にはフレームバッファメモリ121が接続されている。

【0046】周辺回路として、前記ディスプレイコントローラ117に結合されたディスプレイ122、IDEインタフェースコントローラ118に結合されたハードディスクドライブ (HDD) 123、SCSIインタフェースコントローラ119に結合されたイメージスキャナ124、そして、前記その他のインタフェースコントローラ120に結合されたキーボード125、マウス126、及びモデム127等が設けられている。

【0047】図5のプロセッサボード100によれば、上記より低消費電力化されたSDRAM5を用いるから、プロセッサボード100全体として電力消費量を低減することができる。

【0048】以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0049】例えば、差動入力アンプの構成は図1及び図3に限定されず適宜変更可能である。また、本発明に係る半導体装置はSDRAMに限定されず、SSRAM (シンクロナス・スタティック・ランダム・アクセス・メモリ) 等の他の記憶形式のメモリ、更にはSDRAMなどのメモリをオンチップしたマイクロプロセッサ若しくはマイクロコンピュータなどのデータ処理用の半導体装置など、種々の半導体装置に広く適用することができる。

【0050】本発明は、外部とのインタフェース回路に差動入力バッファを有する条件の半導体装置に適用することができる。

【0051】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0052】すなわち、入力動作の同期クロック信号の状態に応じて差動入力バッファを交互に活性/非活性に制御し、それに同期してラッチ回路を入力可能/ラッチ状態に制御するから、これによって、外部信号の入力インタフェース用の差動入力バッファで常時貫通電流が流れることを阻止でき、半導体装置の低消費電力に寄与できる。

【0053】差動入力バッファの高電位側及び低電位側の双方の電源供給系にパワースイッチを設け、双方のパワースイッチを並列的にスイッチ動作させて当該バッファの活性/非活性を制御するから、差動入力バッファが

非活性化されたとき当該バッファの出力が不所望に反転したり大きく変動したりするのを抑制でき、これによって、ラッチ回路のラッチ動作に対して差動入力バッファの非活性化タイミングを遅延させることを要せず、ラッチ回路のラッチタイミングと差動入力バッファの非活性化タイミングとの制御を簡単できる。

【0054】差動入力バッファとラッチ回路との間にトランスファゲートを配置し、ラッチタイミングに同期してトランスファゲートを閉じ、差動入力バッファを非活性化するときその出力を強制的にラッチ回路の入力から分離させることにより、差動入力バッファの非活性化時にラッチ回路が誤ったデータをラッチする虞を確実に排除することができる。

【0055】そのような半導体装置を用いたデータ処理システムは、システム全体として電力消費量を低減することができる。

【図面の簡単な説明】

【図1】本発明に係る半導体装置の入力バッファを主体として例示した回路図である。

【図2】差動入力バッファを用いた入力動作波形の一例を示すタイミングチャートである。

【図3】本発明に係る半導体装置の入力バッファを主体とした別の例を示す回路図である。

【図4】本発明に係る半導体装置の一例であるSDRAMのブロック図である。

【図5】SDRAMを用いたプロセッサボードの一例を示すブロック図である。

【符号の説明】

- 1 差動入力バッファ (SSTLインタフェースバッファ)
- 2 ラッチ回路
- 3 制御回路
- QCKLb タイミングクロック信号
- PD パワーダウン信号
- IN 外部入力信号
- Q5, Q6 パワースイッチMOSトランジスタ
- Vref 参照電位
- 4 トランスファゲート
- 5 SDRAM
- Q9 プリチャージMOSトランジスタ
- 10A, 10B メモリアレイ
- 13A, 13B センスアンプ及びカラム選択回路
- 16 データ入力バッファ
- 20 カラムアドレスバッファ
- 21 ロウアドレスバッファ
- 25 コントローラ
- 28 制御信号入力バッファ
- 111 マイクロプロセッサ
- 113 メモリコントローラ

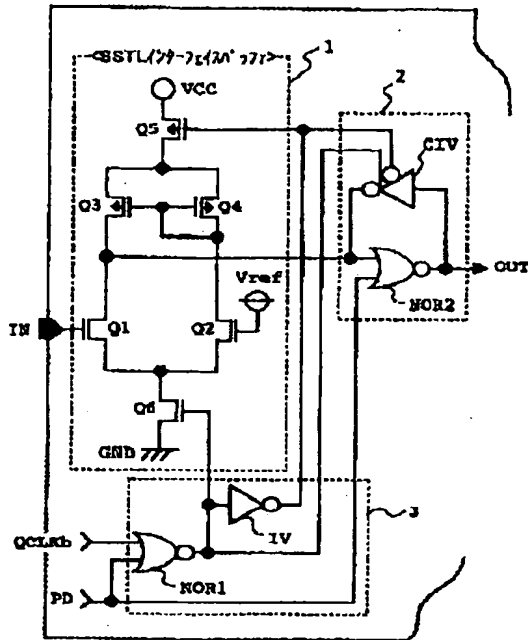


( 8 )

特開平11-273341

【図1】

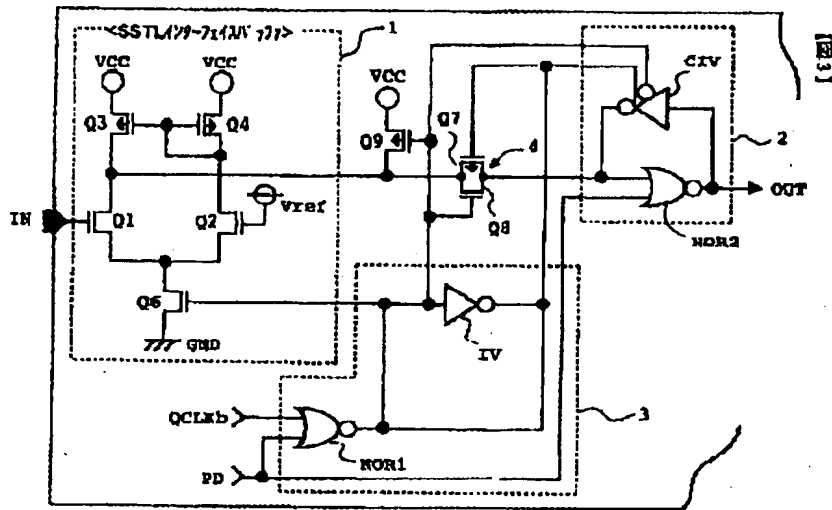
【図1】



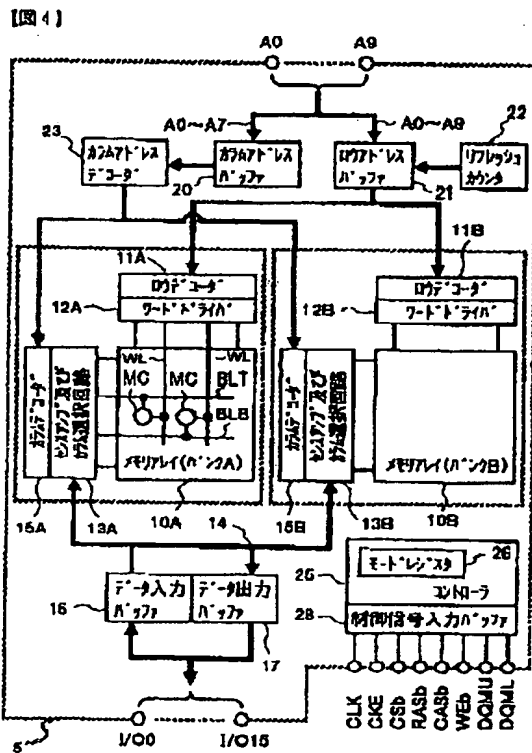
( 9 )

特開平 11-273341

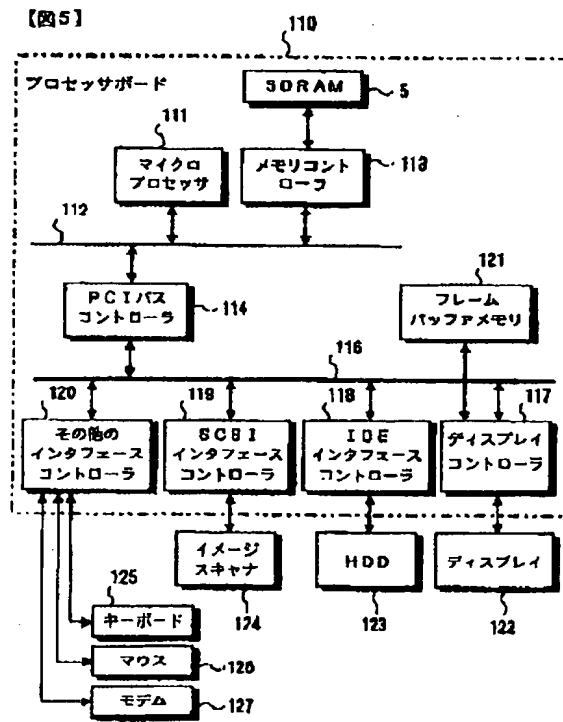
【図 3】



【図 4】



【図 5】



( 10 )

特開平 1 1 - 2 7 3 3 4 1

## フロントページの続き

(72)発明者 森田 貞幸

東京都国分寺市東恋ヶ窪三丁目1番地1  
日立超エル・エス・アイ・エンジニアリン  
グ株式会社内

(72)発明者 厨子 弘文

東京都国分寺市東恋ヶ窪三丁目1番地1  
日立超エル・エス・アイ・エンジニアリン  
グ株式会社内

(72)発明者 宮瀬 崇徳

東京都国分寺市東恋ヶ窪三丁目1番地1  
日立超エル・エス・アイ・エンジニアリン  
グ株式会社内

(72)発明者 園田 崇宏

東京都国分寺市東恋ヶ窪三丁目1番地1  
日立超エル・エス・アイ・エンジニアリン  
グ株式会社内

(72)発明者 川内野 晴子

東京都国分寺市東恋ヶ窪三丁目1番地1  
日立超エル・エス・アイ・エンジニアリン  
グ株式会社内

(72)発明者 永井 清

東京都小平市上水本町五丁目20番1号 株  
式会社日立製作所半導体事業部内